

Э. Г. Косцов, С. В. Пискунов, Е. В. Умрихина

(Новосибирск)

### ПЕРЕСТРАИВАЕМЫЕ МНОГОСЛОЙНЫЕ КОНВЕЙЕРНЫЕ ОПТИКО-ЭЛЕКТРОННЫЕ СТРУКТУРЫ

Разработана методика динамического отображения в универсальную клеточную матрицу множества цифровых комбинационных схем разного назначения. Она основана на технике компактного представления комбинационных схем и использовании жестко регламентированного, но не обязательно локального, соседства клеток в клеточной матрице. Реализация таких матриц в микроэлектронном исполнении открывает путь к построению высокопроизводительных трехмерных оптико-электронных устройств с однородной структурой, небольшим числом слоев, с передачей логических сигналов между слоями по оптическим каналам связи и глубоким распараллеливанием вычислений.

**Введение.** Рост степени интеграции микроэлектронных схем (десятки миллионов транзисторов на кристалле) делает острой проблему соединений внутри микросхем. Так как соединения занимают до 80 % площади кристалла, то они практически полностью определяют сложность процесса проектирования (годы) и основные параметры схемы, в первую очередь ее быстродействие. В течение ряда лет осуществлялся поиск решения проблемы соединений и в процессе перехода к СБИС с регулярной структурой и локальными связями между ячейками, составляющими схему, и в процессе построения многослойных (трехмерных) схем с оптическими межслойными связями. Обобщение результатов этих исследований представлено в работе [1]. Выделен класс устройств – семейство универсальных клеточных матриц. С логической точки зрения матрица является клеточным автоматом, в котором путем настройки реализуется мелкозернистая конвейерная структура (микроконвейер), имитирующая одновременную работу множества копий одной и той же цифровой схемы, причем каждая копия (назовем ее виртуальной цифровой схемой) выполняет преобразование своего комплекта входных данных. Каждая ступень конвейера – это «срез» образа виртуальной схемы в некоторой фазе преобразования предназначенной ей информации. Эта особенность матрицы позволяет при работе в стационарном режиме на каждом такте получать на выходе новые результаты. Вместе с тем следует отметить, что микроконвейер в универсальной матрице содержит большое число ступеней. Это означает, что возникает проблема его разгона: первого результата на выходе приходится ждать существенно дольше, чем на выходе той цифровой схемы, поведение которой в нем имитируется. Как правило, необходимость повторного разгона микроконвейера возникает в том случае, когда нет

исходных данных для операции, на которую он настроен. Но это совсем не означает, что нет данных для какой-то другой операции, которую, однако, микроконвейер не может выполнить.

Цель данной работы – создание методики организации эффективных вычислений в указанном микроконвейере путем сокращения времени разгона и устранения простоев. Для решения этой задачи предлагаются приемы формирования компактного образа цифровой схемы, т. е. образа, занимающего минимальную площадь в универсальной матрице, и способ динамической перестройки микроконвейера, который позволяет избегать его повторного разгона, поскольку становится возможной его загрузка на каждом такте не только новыми данными, но и новыми операциями, выполняемыми над этими данными.

Использование предлагаемой методики при разработке СБИС с однородной структурой позволит создать микросхемы, конкурентоспособные по производительности с заказными СБИС, а возможно, их превосходящие и при этом существенно более технологичные, в первую очередь, за счет замены проектирования заказной СБИС программированием матрицы на выполнение заданных арифметических операций.

**1. Основные понятия и обозначения.** Будем использовать понятия и обозначения, принятые в [1]. Универсальная клеточная матрица – это двухслойный клеточный автомат с окрестностью Марголуса [2], в который введена настройка клеток автомата на выполнение некоторого набора элементарных преобразований информации, представляемых командами параллельных подстановок [3]. На рисунках слой матрицы изображается в виде плоскости, разделенной на клетки. Разбиение слоя матрицы на блоки размером  $2 \times 2$  клетки, ограниченные сплошными линиями, называется *E*-разбиением, а разбиение слоя матрицы на блоки, ограниченные штриховыми линиями, – *O*-разбиением. Слой, в котором выполняется преобразование данных, называется информационным, а слой, в котором хранится таблица настройки – управляющим. В информационном слое каждая клетка может находиться в одном из трех состояний: «белом», «сером» или «черном». Клетки управляющего слоя принимают состояния из множества номеров элементарных преобразований. Исходным материалом для построения многоступенчатого конвейера в универсальной матрице служит комбинационная схема, представляющая сумматор, умножитель и т. д. и преобразованная так, что каждый входящий в нее вентиль имеет не более двух входов и двух выходов. Начальное состояние информационного слоя – все клетки белые. Образом цифровой схемы, функционирование которой имитируется в универсальной матрице, называется ее изображение серыми клетками в информационном слое этой матрицы. Сигналы, преобразуемые в цифровой схеме, изображаются в ее образе черными клетками. Состояния клеток каждого блока информационного слоя матрицы образуют некоторую картинку, называемую образом блока. Под таким блоком в блоке управляющего слоя указаны номера (не более двух) команд параллельных подстановок, которые он может выполнить.

На рис. 1, *a* показаны графические образы команд параллельных подстановок (над стрелкой указан номер команды). В клеточном автомате Марголуса преобразования информации выполняются при чередовании разбиений [2]. В предлагаемой матрице чередование разбиений заменено чередованием двух групп сдвигов образа имитируемой схемы. Команда, номер которой указан в блоке управляющего слоя первым, может быть выполнена для исходно-

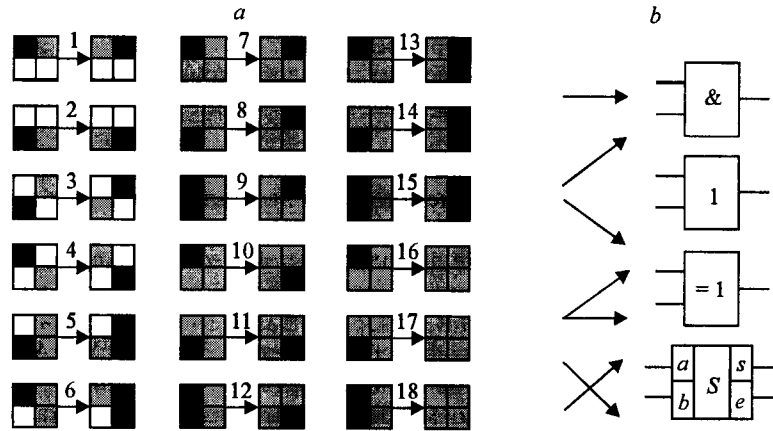


Рис. 1

го расположения образа цифровой схемы, затем для образа, сдвинутого на один ряд блоков из  $E$ -разбиения вверх по отношению к исходному образу, затем для образа, сдвинутого на один ряд блоков из  $E$ -разбиения вниз по отношению к исходному образу. Эти сдвиги формируют  $E$ -группу сдвигов. Команда, номер которой указан вторым, может быть выполнена для образа схемы, сдвинутого по отношению к исходному образу на один ряд клеток вниз и один столбец клеток вправо. Эти сдвиги формируют  $O$ -группу сдвигов. Команда выполняется, если ее левая часть совпадает с образом блока, который настроен на ее выполнение. Выполнение команды состоит в том, что образом блока становится правая часть команды.

На рис. 1,  $b$  изображены возможные варианты передачи сигналов в образе цифровой схемы (по горизонтали и диагонали, разветвление и пересечение сигналов) и обозначены функциональные элементы, причем только те, которые используются для представления комбинационных схем в данной работе (& – вентиль И, 1 – ИЛИ, =1 – сложение по mod2, последним знаком обозначен полусумматор).

Передачи сигнала по горизонтали имитируют команды 1, 2; по диагонали – 3, 4; разветвление сигнала – 5, 6; пересечение сигналов – 8, 10, 15. Работу вентиля И имитируют два комплекта команд: 9, 16, 17, и 12, 16, 17, потому что результат на выходе вентиля может фиксироваться как в правой верхней клетке, так и правой нижней клетке блока. Аналогично работу вентиля ИЛИ имитируют команды 7, 8, 9 и 10, 11, 12; вентиля сложение по mod2 – команды 7, 8, 18 и 10, 11, 18. Напомним, что блок  $E$ -разбиения [1], не содержащий белых клеток, может имитировать работу логического вентиля не только с одним, но и двумя выходами, поэтому работу полусумматора имитируют команды 7, 8, 12. Возможность имитации логических схем с двумя входами и двумя выходами позволяет в одном блоке выполнять и транзит сигнала, и логическое преобразование этого и другого сигнала. Например, передачу сигнала из левой нижней клетки в правую верхнюю клетку блока и выполнение операции И над сигналами из левого столбца клеток блока с записью результата в правую нижнюю клетку блока имитируют команды 8, 15, 16. (Команды 13 и 14 в данном контексте не были использованы.)

Степень микроконвейера образует вертикальный столбец блоков из  $E$ -разбиения матрицы. Вместо этого термина часто будет использоваться тер-

мин «ярус» матрицы, чтобы подчеркнуть тот факт, что ступень микроконвейера совпадает с ярусом образа цифровой схемы.

При реализации выделенных производственных микроконвейеров в универсальной матрице состоит в поиске для одной и той же комбинационной схемы такого варианта ее отображения в матрицу, которое содержит наименьшее число блоков и по вертикали и по горизонтали. Эта трудоемкая работа выполняется с использованием графических средств системы WinALT [4] и состоит в переборе вариантов отображений с целью поиска варианта, в котором реализованы: максимально возможное совмещение в блоках как вентиляй разного назначения, так и вентиляй и пересылок сигналов; размещение одного над другим блоков, имеющих непустое пересечение по множествам поставленных им в соответствие команд параллельных подстановок. В качестве эвристического критерия оценки качества варианта отображения выбран следующий: оптимальным считается вариант, в котором существует хотя бы одна цепь, идущая от входов образа схемы к ее выходам и составленная из блоков, имитирующих логические вентили и стыкующихся угловыми клетками.

Рис. 2 иллюстрирует результат работы, проделанной при выполнении отображения одноразрядной схемы сложения с запоминанием переносов (рис. 2, *a*) в универсальную клеточную матрицу. Поясним рисунок. В таблице настройки (рис. 2, *d*) используются номера команд, указанные на рис. 1, *a*. В дополнение к принятому ранее [1] представлению образа цифровой схемы и таблицы настройки (рис. 2, *b, d*) введено представление образа цифровой

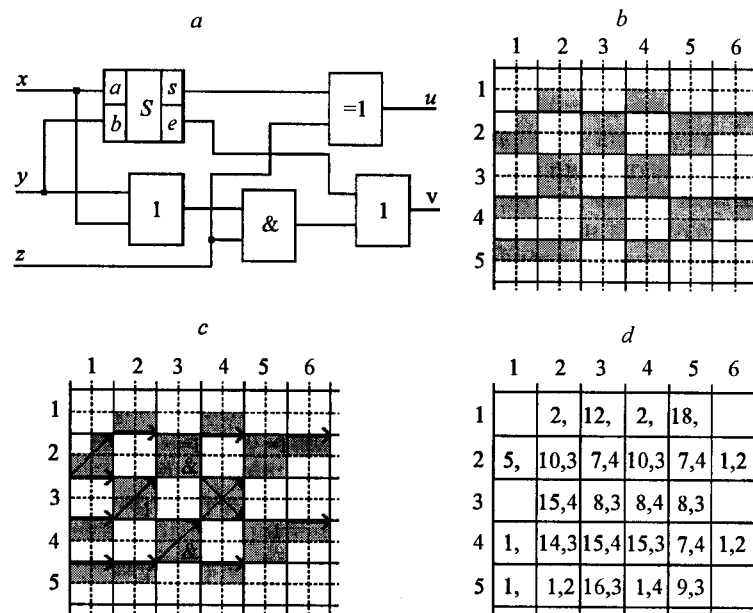


Рис. 2

схемы с мнемоническим указанием назначения составляющих его блоков (рис. 2, *c*), кроме тех, которые имитируют пересылку сигналов при выполнении *O*-разбиения. Изображение значка операции или стрелки на образе схемы указывает на ту клетку, в которой фиксируется результат преобразования или пересылки сигнала. Такое представление является наглядным и позволяет сопоставить комбинационную схему и ее образ без использования таблицы настройки. Далее будем пользоваться именно таким представлением образа цифровой схемы, но, как правило, не будем изображать пересылки сигнала по диагонали или горизонтали, если это не мешает «читать» образ схемы. Хотя представленный на рис. 2, *b* образ комбинационной схемы (см. рис. 2, *a*) не удовлетворяет эвристическому критерию (четвертый ярус матрицы содержит только пересылки сигналов), перебор показал, что это самая компактная схема из всех возможных.

Это простой пример, когда результат можно получить с помощью перебора. Однако при построении образов функционально законченных схем большей разрядности перебор может быть необозрим. В этом случае будем придерживаться следующей стратегии. Образ комбинационной схемы заданной разрядности строится путем соединения своих однотипных фрагментов меньшей разрядности, для каждого из которых уже найден его наилучший образ.

Продемонстрируем применение предложенной стратегии на примере построения компактного образа схемы сумматора с пирамидой переносов [5], преобразованной в схему, каждый вентиль в которой имеет два входа и один или два выхода (рис. 3). Исходным фрагментом для его построения является образ четырехразрядного сумматора, схема которого изображена на рис. 3, *a*. Поиск компактного образа этой схемы позволил сократить его размеры на семь блоков по горизонтали и на один блок по вертикали по сравнению с образом из [1] такого же сумматора, т. е. число ступеней конвейера сократилось почти в 2 раза. Пример образа схемы восьмиразрядного сумматора с пирамидой переносов приведен на рис. 3, *b*, жирным контуром на котором

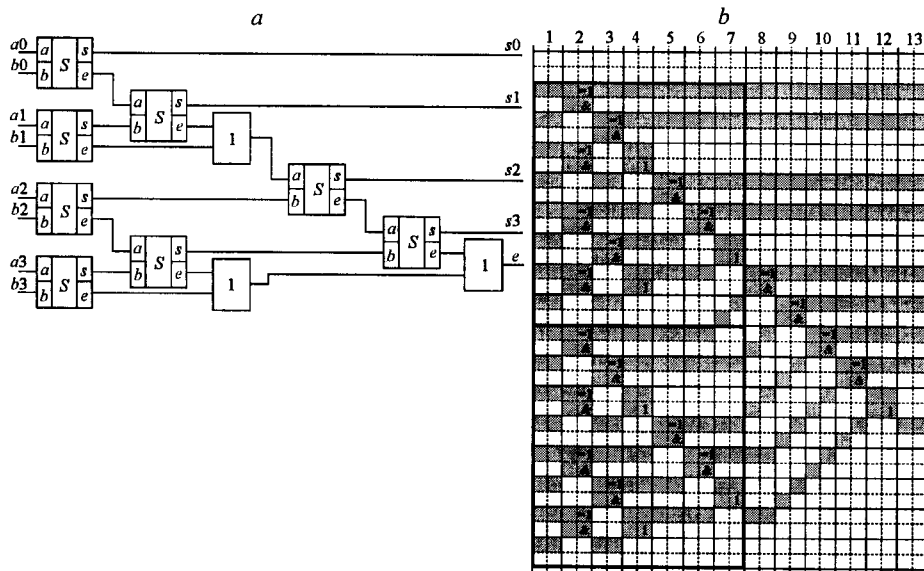


Рис. 3

выделены образы четырехразрядных сумматоров. Оставшаяся часть образа схемы обеспечивает каскадное соединение выделенных образов сумматоров. Представленный на рис. 3, *b* образ сумматора удовлетворяет эвристическому критерию. Образ допускает наращивание разрядности.

**3. Введение нелокального соседства клеток в универсальную клеточную матрицу.** Рассмотрим выполнение размножения сигнала в клеточной матрице. Так как в матрице блоки, изображающие логические элементы и имеющие различные вертикальные координаты, могут быть связаны только с помощью диагональных передач сигналов, то, для того чтобы размножить сигнал на два сигнала, требуется одна ступень (один такт) конвейера, на четыре – минимум две, на  $N$  – минимум  $\log_2 N$  ступеней. Минимум потому, что не всегда имеется достаточно места, чтобы «локально» разместить «пирамиду» таких блоков. Если при отображении цифровой схемы в матрицу требуется выполнить многократные размножения сигналов, то в этом случае для построения компактного образа комбинационной схемы не достаточно только совмещений вентилях и пересылок сигналов в блоках и соответствующего размещения блоков. И если для сумматоров эта проблема не актуальна, то для умножителей это – типичная проблема, потому что в схемах умножителей, как правило, отдельный разряд сомножителя поступает на целый столбец логических элементов, например, при формировании разрядов частичных произведений.

Необходим механизм, который позволил бы выполнять размножение сигналов в универсальной клеточной матрице с минимальным увеличением глубины клеточного образа схемы. Решением данной проблемы является введение нелокального соседства клеток в универсальную матрицу. С алгоритмической точки зрения это означает, что в матрицу вводится возможность выполнять не только локальные, но и глобальные команды подстановок, когда клетки, составляющие левые и правые части команды, могут принадлежать различным клеточным массивам [3]. Опишем этот механизм. Вводится возможность настройки блока, соответствующего  $E$ -разбиению, на одно из следующих состояний: «источник сигнала» и «приемник сигнала». Код соответствующего состояния хранится в правой нижней клетке блока в управляющем слое (до сих пор эта клетка не использовалась). К универсальной матрице (обозначим ее буквой  $S$ ) присоединяется дополнительная линейка клеток  $B$ , расположенная вдоль оси абсцисс и имеющая тот же размер по этой оси, что и матрица  $S$ . Именно в линейке  $B$  будет реализовываться передача размножаемого сигнала между ярусами матрицы  $S$ . В начальном состоянии все клетки линейки  $B$  – серые.

С целью уменьшения числа дополнительных команд подстановок вводится следующее ограничение: в каждом ярусе только один блок может быть настроен на состояние «источник сигнала». При этом в следующем ярусе сколько угодно блоков может быть настроено на состояние «приемник сигнала». Другое ограничение заключается в том, что размножаемый сигнал как в блоке-источнике, так и в блоке-приемнике всегда будет передаваться только по нижней части блока. Хранение кода настройки блока в информационном слое на состояние «источник» или «приемник» сигнала в правой нижней клетке блока в управляющем слое существенно упрощает команды подстановок, имитирующие разветвление сигнала в цифровой схеме.

Эти команды приведены на рис. 4, *a*. Для их изображения используется нотация, предложенная в [3]. Левая часть команды состоит из двух графических элементов, разделенных звездочкой. Слева от звездочки изображен

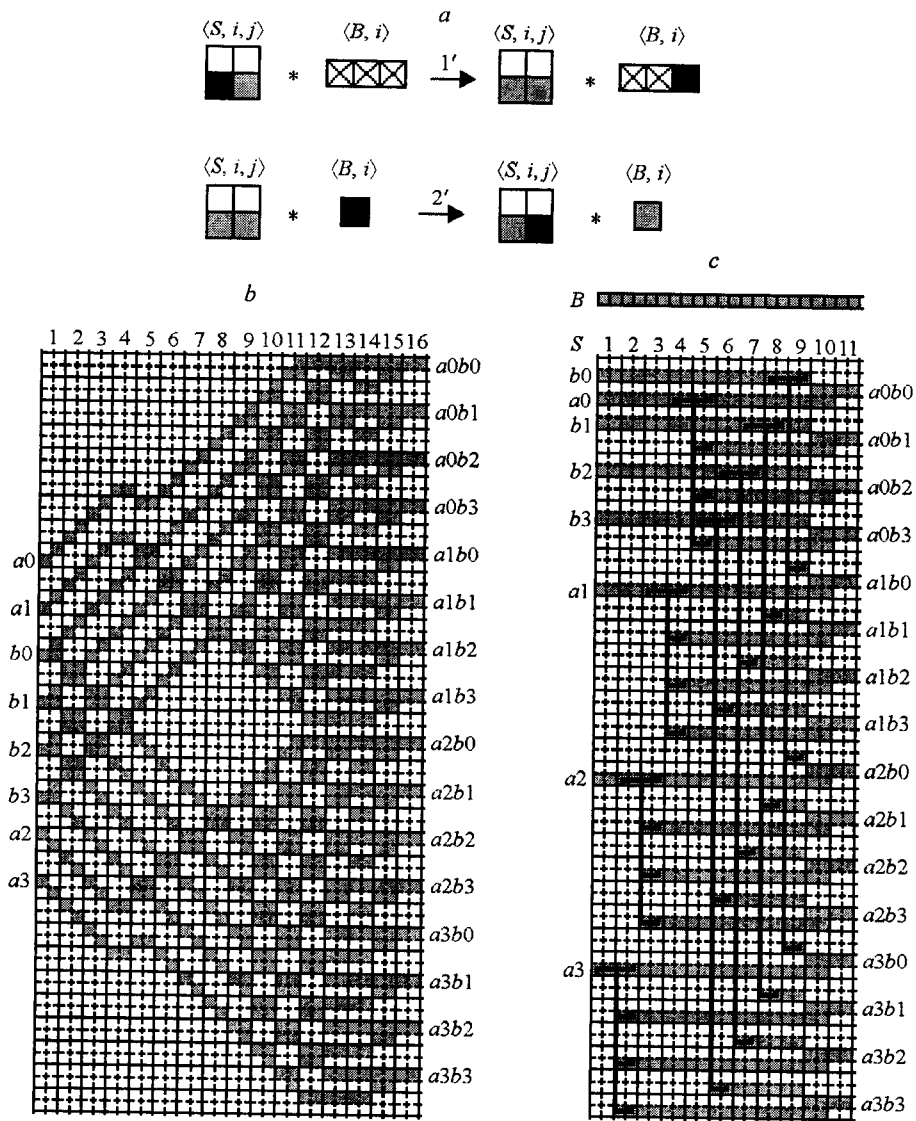


Рис. 4

шаблон команды, который перемещается по информационному слою матрицы  $S$ . Координаты левой верхней клетки шаблона указаны над ним в угловых скобках ( $i$  – ось абсцисс,  $j$  – ось ординат). Справа от звездочки изображен шаблон команды, который перемещается по линейке  $B$ . Над ним в угловых скобках указаны координаты его левой клетки. Перемещение шаблонов, разделенных звездочкой, по матрице  $S$  и линейке  $B$  происходит согласованно по координате  $i$ . Только для согласования взаимного расположения клеток в шаблонах, разделенных звездочкой, кроме состояний клеток «белое», «серое», «черное», введено еще одно состояние, которое обозначает произвольное состояние клетки и изображается знаком «x». Устройство правой части команды аналогично устройству левой. Над стрелкой указан номер команды, код которого вписывается в левую нижнюю клетку управляющего

слоя блока, настроенного на ее выполнение. Выполнение команд происходит следующим образом: если на очередном такте команда  $1'$  реализует передачу сигнала из левой нижней клетки блока с координатой  $i$  в клетку с координатой  $i + 2$  линейки  $B$ , то на следующем такте выполняется команда  $2'$ , которая передает сигнал из клетки в состоянии «черная» линейки  $B$  в правые нижние для того же числа разрядов сомножителей с использованием представленного выше механизма размножения сигналов. Образ схемы на рис. 4, *c* содержит в 1,5 раза меньше ярусов, чем образ схемы на рис. 4, *b*: в 10 и 15 ярусах образов расположены блоки, имитирующие вентиль И. Образ на рис. 4, *c* допускает наращивание разрядности в отличие от образа, представленного на рис. 4, *b*, причем процедура эта является формальной. Глубина такого образа для произвольной разрядности  $N$  (равной степени 2) составит  $2N + 2$  блока ( $2N + 1$  блоков на разветвление сигналов и один блок на выполнение логической операции И). При изображении образа схемы на рис. 4, *c* используется следующая мнемоника: нижние клетки блока-источника помечаются соединением черного кружка и горизонтальной черты, нижние клетки блока-приемника – соединением горизонтальной черты и черного кружка. Обратим внимание, что вертикальные линии, соединяющие блоки-источники и блоки-приемники, нанесены на образ схемы исключительно для большей наглядности.

**З а м е ч а н и е.** Очевидно, что кроме размножения сигналов предложенная техника организации нелокальных связей может применяться и в тех случаях, когда требуется передать сигнал в блок-приемник, расположенный в соседнем ярусе, но по вертикали значительно удаленный от блока-источника.

**4. Построение динамически перестраиваемого микроконвейера на базе клеточной матрицы.** Рассмотренные выше способы уплотнения образов цифровых схем позволяют сократить время разгона конвейера. Решением проблемы простоя конвейера является переход к динамически перестраиваемому конвейеру. В основу перехода положен сборочный принцип, суть которого состоит в том, что все ранее разработанные образы цифровых схем для отдельных операций используются (с учетом поддержки предложенных выше способов уплотнения схем) для построения динамически перестраиваемого конвейера либо безо всякой модификации, либо с незначительной модификацией, которая состоит в следующем. Если размеры образов схем не совпадают, то они выравниваются по размерам наибольшего из них: по вертикали добавляются блоки, состоящие только из белых клеток (пустые блоки), по горизонтали – блоки, реализующие передачу сигналов. Таким образом, следование принципу означает, что в соседних ярусах могут выполняться разные операции, исходные данные поступают в первый ярус, а результаты снимаются с клеток последнего яруса.

Вычислительная структура, в которой реализуется динамически перестраиваемый микроконвейер, устроена следующим образом. К клеточной матрице  $S$  присоединяется управляющая линейка клеток  $C$ , имеющая по оси абсцисс такой же размер, как и сама матрица. Линейка предназначена для



Ориг. и д. Кроме того, вводится специальное состояние  $NOp$ , означающее, что в данном такте ярус не выполняет операцию. Вторая клетка каждого блока линейки  $C$  всегда находится в нейтральном (пустом) состоянии. В начальный момент времени все блоки линейки  $C$  находятся в состоянии  $NOp$ . Все клетки информационного слоя матрицы  $S$  в начальном состоянии являются белыми, управляющий слой – пустым. Также в вычислительную структуру включается клеточная матрица  $M$  для хранения информационных и управляющих слоев образов цифровых схем для каждой из операций. Образы схем представлены в соответствии со сформулированным в начале раздела принципом. Число слоев в  $M$  равно удвоенному числу операций, реализуемых в вычислительной структуре. Информация, хранящаяся в  $M$ , в процессе работы микроконвейера не модифицируется. В информационных слоях  $M$  все клетки находятся в одном из двух состояний: белом или сером.

Опишем функционирование динамически перестраиваемого микроконвейера. В каждом такте, наряду с вводом начальных данных в первый ярус матрицы  $S$ , выполняется ввод кода операции в первую клетку первого блока линейки  $C$ . Далее, в каждом такте работы конвейера код операции в линейке  $C$  передается слева направо из первой клетки предыдущего блока в первую клетку следующего блока. В каждом такте преобразованию данных в ярусе матрицы  $S$  предшествует загрузка в каждый ярус информационного слоя матрицы  $S$  ярусов блоков  $E$ -разбиения из информационных слоев  $M$  согласно состоянию первой клетки соответствующего блока в  $C$ . Аналогично выполняется загрузка в ярус управляющего слоя матрицы  $S$  ярусов с номерами команд настройки. Само преобразование информации в каждом ярусе матрицы  $S$  осуществляется при чередовании двух групп сдвигов так, как представлено в разд. 2 или более детально в [1]. В построенной таким образом структуре результаты выдаются на каждом такте.

Вычислительная структура была реализована в виде имитационной модели в системе WinALT для двух операций: сложения и умножения восьмизрядных двоичных чисел. При сборке имитационной модели использовались согласованные по размерам образ сумматора с пирамидой переносов и образ умножителя с деревом Уоллеса [6] для сложения частичных произведений. В данной работе ограничимся небольшим фрагментом (рис. 5), демонстрирующим устройство моделей такого типа. На рис. 5, *a* показаны слои матрицы  $M$ , из которых выполняется динамическая сборка конвейера в массиве  $S$  по номерам операций в линейке  $C$ . В этих слоях изображены типичные элементы, из которых складываются образы сумматора и умножителя: полный сумматор в верхней части и одноразрядная схема сложения с запоминанием переносов в нижней части вместе со своими таблицами настройки (темный квадрат – код операции сложения, серый квадрат – код операции умножения). На рис. 5, *b* показано состояние конвейера в тот момент, когда в нем одновременно присутствуют в разных фазах преобразования своей входной информации виртуальные схемы трех сумматоров и трех умножителей, расположенные в следующем порядке: +, ×, ×, +, +, ×.

**5. О физико-технической реализации универсальных клеточных матриц с расширенными возможностями.** При рассмотрении возможностей практической реализации таких матриц необходимо учитывать дости-

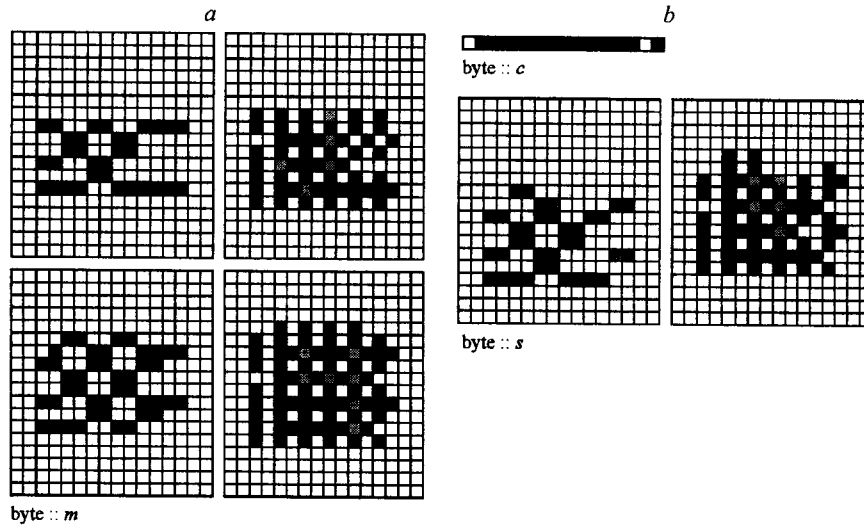


Рис. 5

жения технологии современной микроэлектроники, когда реальные геометрические размеры элементов уже стали менее 0,07 мкм (при тактовых частотах свыше 5 ГГц) и число элементов на поверхности микросхемы превышает  $10^7$ . В то же время источники светового потока в силу чисто физических ограничений не могут иметь размеры менее 0,3 мкм, и они становятся слабым звеном на пути достижения высокой плотности упаковки составляющих микросхему элементов. Поэтому целесообразно рассмотреть вопрос об использовании в данном классе устройств максимально возможной доли электронных компонент, оставив за «оптическими» компонентами основные функции – трехмерную организацию логических связей и обработку клеточной (логической) информации.

Рассмотрим способы расширения функциональных возможностей базовой матрицы семейства – четырехслойной оптико-электронной матрицы (ОЭМ) [1] – за счет введения в нее дополнительных электронных компонент, позволяющих реализовать в ней шинную структуру и динамически перестраиваемый конвейер.

К ОЭМ дополнительно присоединяются два регистра *B* и *C*, элементы памяти которых кодируют состояния клеток линеек *B* и *C*.

Для организации преобразований информации, представленных командами (см. рис. 4, *a*), необходимо в слой матрицы, который содержит бинарное представление образа цифровой схемы, ввести дополнительные элементы памяти для хранения состояний «источник» и «приемник» и организовать в этом же слое структуру вертикальных шин с функциями, аналогичными функциям шин в классической оперативной памяти. Действительно, пусть в *i*-ярусе информационного слоя клеточной матрицы, в левой нижней клетке блока, отмеченной состоянием «источник» в управляющем слое, появился сигнал. Тогда в ОЭМ для выполнения преобразования информации, представленного командой *l*, должна быть предусмотрена возможность (за счет соответствующей организации шин) считывания логической «1» в элемент памяти *i*+1-го блока регистра *B*. Логическая «1» является результатом объединения по схеме И выходов элементов памяти, кодирующих состояние левой нижней клетки блока, и выхода дополнительной ячейки памяти, храня-

щей состояние «источник». Для выполнения в ОЭМ преобразования информации, представленного командой  $Z'$ , предусматривается возможность (также с помощью шин) записи логической «1» в элементы памяти, кодирующие состояние правой нижней клетки всех блоков, отмеченных в  $i+1$ -м ярусе клеточной матрицы состоянием «приемник».

Рассмотрим, какие электронные компоненты необходимо добавить в ОЭМ, чтобы в ней появилась возможность реализации динамически перестраиваемого конвейера. Как показано в разд. 4, для реализации такого конвейера к клеточной матрице  $S$  необходимо присоединить дополнительную клеточную матрицу  $M$ , хранящую информационные и управляющие слои некоторого множества операций ( $Op1, Op2, \dots, Opk$ ), и обеспечить загрузку в  $S$  ярусов из  $M$  в соответствии с кодами операций, записанными в блоках линейки  $C$ . Для выполнения таких функций в ОЭМ необходимо дублировать  $k$  раз каждый элемент памяти во всех слоях. Совокупность дублеров каждого элемента памяти назовем комплектом. Если в исходной матрице некоторый элемент памяти управлял модулятором, то теперь им должны управлять все элементы комплекта. Для этого они подключаются к модулятору через схемы И, управляемые от выходов дешифратора операций, на входы которого поступает код операции по шинам от элементов памяти блока регистра  $C$ . Предварительные оценки соотношения числа электронных и оптических компонент матрицы, полученные исходя из результатов моделирования, дают цифру 100–200 : 1. Таким образом, в данном случае мы фактически имеем дело со специализированной СБИС, усиленной для повышения производительности и технологичности оптическими каналами связи, обеспечивающими трехмерную организацию логических связей.

Предложенный вариант расширения функциональных возможностей ОЭМ за счет введения в нее шинной структуры и увеличения электронной составляющей, при сохранении оптической составляющей такой же, как у матрицы-прототипа, наиболее эффективен при электронной синхронизации схемы: схема структурно однородна, шины однотипны и подобны шинам в оперативной памяти.

Отметим, однако, что при оптической синхронизации схемы матрицы шинная структура может снизить ее эффективность. Вместе с тем отметим, что принципиально можно отказаться от использования шин, сохранив при этом наиболее важное свойство расширенной ОЭМ – динамическую перестройку конвейера. Для этого достаточно: а) отказаться от использования шин при построении компактного образа цифровой схемы, что эквивалентно удалению из матрицы регистра  $B$  и связанных с ним шин и элементов памяти; б) удалить из ОЭМ регистр  $C$  и связанные с ним шины; в) пополнить ОЭМ двумерными регистрами сдвига в слоях, хранящих образы команд и образы цифровых схем.

При отсутствии шин коды операций передаются с яруса на ярус в каждом слое ОЭМ путем сдвига разрядов двумерного регистра, т. е. каждая строка элементов памяти регистра дублирует элементы памяти регистра  $C$  и коды операций подаются на входы дешифраторов непосредственно от элементов памяти регистра (а не от шин). При такой перестройке ОЭМ происходит увеличение электронной составляющей за счет введения дополнительной памяти, но связи между электронными и оптическими компонентами становятся локальными и ограничены пределами того соседства ячеек матрицы, которое было в матрице-прототипе [1]. Исключение шин из схемы матрицы дает возможность максимально использовать высокие тактовые частоты работы

электронных компонент (5–10 ГГц), а также обеспечивает возможность эффективно использовать оптическую синхронизацию. Кроме того, в этом случае возможна замена пассивных источников света (модуляторов) активными, например микролазерами с вертикальным излучением [7], которые обеспечивают высокую скорость обмена информацией между слоями матрицы. Увеличение электронной составляющей дает возможность улучшить и энергетические характеристики матрицы: чем больше относительная доля этой составляющей, тем с меньшей плотностью высокоэнергоемкие лазеры ток (три вертикально расположенных блока размером  $2 \times 2$  клетки), позволяет за счет введения дополнительных электронных компонент устранить группу *E*-сдвигов в матрице и, следовательно, сократить длительность такта работы конвейера.

**Заключение.** Проведенный анализ и компьютерное моделирование перестраиваемых ОЭМ показали многовариантность возможностей их построения как в алгоритмическом, так и физико-техническом планах. Эти исследования могут служить основой для создания библиотеки образов типичных для компьютеров арифметических операций, построенных с использованием широкого спектра клеточных алгоритмов их реализации и способов компактного представления. Такую библиотеку можно будет использовать при построении ОЭМ, ориентированных на цифровую обработку сигналов, изображений и т. п.

#### СПИСОК ЛИТЕРАТУРЫ

1. **3D лазерные информационные технологии** /Под ред. П. Е. Твердохлеба. Новосибирск: Офсет, 2003.
2. **Тоффоли Т., Марголус Н.** Машины клеточных автоматов. М.: Мир, 1991.
3. **Achasova S. M., Bandman O. L., Markova V. P., Piskunov S. V.** Parallel substitution algorithm. Theory and application // World Scientific. Singapore, 1994.
4. **Beletkov D. T., Ostapkevich M. B., Piskunov S. V., Zhileev I. V.** WinALT, a software tool for fine-grain algorithms and structures synthesis and simulation // Lecture Notes in Computer Science. Berlin: Springer-Verlag, 1999, 1662. P. 491.
5. **Карцев М. А., Брик В. А.** Вычислительные системы и синхронная арифметика. М.: Радио и связь, 1981.
6. **Кормен Т., Лейзерсон Ч., Ривест Р.** Алгоритмы: построение и анализ. М.: МЦНМО, 2000.
7. **Tao R., Berroth M., Wang Z. G.** Low power 10 Gbit/s VCSEL driver for optical interconnect // Electron. Lett. 2003. 39, N 24. P. 1743.

*Институт автоматизации и электрометрии СО РАН,  
Институт вычислительной математики  
и математической геофизики СО РАН,  
E-mail: kostsov@iae.nsk.su  
piskunov@ssd.sccc.ru*

*Поступила в редакцию  
17 сентября 2004 г.*